**Лабораторная работа №3**

**Проектирование RAM**

Задание: На PLMT с параметрами N=NR разработать RAM емкостью M n-разрядных слов с KR шинами.

**Определение варианта**

Номер зачетной книжки: 6314.

NR = 15

MR = 8K

n = 24

KR = 1(A,D,<>)

Так как необходимо построить RAM 2K\*32 то она будет содержать 2К\*32 (от 0.0 до 31.2045) триггеров со схемами И и два DC на 2К выходов, подключенных к ABW0-ABW2046 и ABR0-ABR2046 (рисунок 1).



**Рисунок 1 – Структурная схема RAM**

Реализация такого RAM на PLMT зависит от того, в каком режиме будет работать PLMT: с управляемым С (рисунок 2) или  (рисунок 3). Указанные режимы задаются настройкой MUX PLMT.



**Рисунок 2 – PLMT с управляемым С**

Построим RAM в режиме с управляемым , потому что в таком случае сложность построенной RAM будет примерно на 20% меньше, чем такой же вариант RAM только построенной с управляемым C.



**Рисунок 3 – PLMT с управляемым **

В режиме с управляемым  синхросигнал С действует на триггеры всех PLMT независимо от того идет ли в эти триггеры запись данных или нет. Вследствие этого невыбранные триггеры в режиме записи или все триггеры при WR = 0 устанавливаются в ноль. Для предотвращения этого функция DT возбуждения триггеров должна иметь вид:



где Di – бит, подлежащий записи в триггер.

Qi – состояние триггера.

Приведенное выражение необходимо так преобразовать чтобы его можно было реализовать на PLMT с 8-ю схемами И, т.е. представить в виде дизъюнкции 8-ми произведений. Это можно сделать следующим образом:



Это преобразование требует для реализации 4-ех дешифраторов DC на два хода (или, что тоже самое, на 4 выхода) и один на три входа (на 8-мь выходов).

Выходы логического элемента  PLMT использованы для выбора ячейки при чтении. Для этого на входы логического элемента подключены соответствующие выходы DC, а именно: для выбора ячейки с параметром 0 на указанные входы подключают выходы «0» для всех DC. Для выбора ячейки с номером например, 575, этот номер переводят в двоичную систему счисления и разбивают его на группы по 2, 2, 2, 2, 3 разряда: 575 = 01 00 01 11 111. Цифры в соответствующих группах указывают на номера выходов соответствующих дешифраторов DC, которые надо подключить к выходам  ячейки N575 (выводы 1,0,1,3,7). Выходы одноименных разрядов (0.0-0.2045) всех ячеек подключены к соответствующей разрядной шине чтения (Q0,…,Q31). Такое соединение допустимо так как PLMT работают в режимах .

Запись слова в RAM происходит через PLM. Для этого на входы PLM подают синхросигнал записи WR и подключают выходы DC описанным выше способом.

У нас есть четыре дешифратора DC, имеющие 2 входа и 4 выхода. Их необходимо реализовать на PLM. Для этого нам понадобится 4 PLM. Построим таблицу истинности:

**Таблица 1 – таблица истинности для 2-хвходового дешифратора**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | B | C1 | C2 | C3 | C4 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

Аналитическая запись функций C1, C2, C3 и С4 выглядит следующим образом:









Для реализации каждой функции требуется отдельная PLM.



**Рисунок 4 – общая схема одного двухвходового дешифратора**



**Рисунок 6 – Структурная схема RAM размером 2К\*32**

Вывод: Была построена память разрядностью , на 8К адресов.

На реализацию дешифраторов ушло:5\*4=20 PLMT

Для хранения:1024\*8=8192PLMT

Общая сложность:8212PLMT

Задержка при обращении к RAM будет составлять 1\*1+2\*1 = 3 такта.



**Рисунок 7 – УГО RAM**